

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   9 月 1 9 日  
Date of Application:

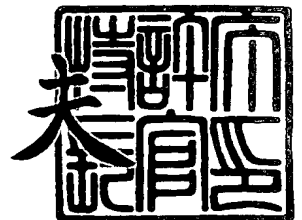
出 願 番 号            特 願 2 0 0 3 - 3 2 8 0 9 2  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 3 2 8 0 9 2 ]

出      願      人            沖電気工業株式会社  
Applicant(s):

2 0 0 3 年 1 1 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願  
【整理番号】 KT000510  
【提出日】 平成15年 9月19日  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 H01L 21/00  
【発明者】  
    【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
    【氏名】 小松原 弘毅  
【特許出願人】  
    【識別番号】 000000295  
    【氏名又は名称】 沖電気工業株式会社  
【代理人】  
    【識別番号】 100095957  
    【弁理士】  
    【氏名又は名称】 亀谷 美明  
    【電話番号】 03-5919-3808  
【選任した代理人】  
    【識別番号】 100096389  
    【弁理士】  
    【氏名又は名称】 金本 哲男  
    【電話番号】 03-3226-6631  
【選任した代理人】  
    【識別番号】 100101557  
    【弁理士】  
    【氏名又は名称】 萩原 康司  
    【電話番号】 03-3226-6631  
【手数料の表示】  
    【予納台帳番号】 040224  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9707549  
    【包括委任状番号】 9707550  
    【包括委任状番号】 9707551

**【書類名】 特許請求の範囲****【請求項 1】**

素子の分離にLOCOS法を用いた半導体装置であって；  
断面形状に傾斜部を有する素子分離領域のシリコン層と、  
前記傾斜部を有する素子分離領域のシリコン層上に形成された、固定電荷を発生する金属酸化膜と、  
前記金属酸化膜上に形成されたフィールド酸化膜と、  
を備えることを特徴とする半導体装置。

**【請求項 2】**

前記シリコン層は絶縁酸化膜上に形成されたSOI構造のシリコン層であることを特徴とする請求項 1 に記載の半導体装置。

**【請求項 3】**

前記素子は、NチャネルMOSFETであり、前記固定電荷は、負の固定電荷であることを特徴とする請求項 1 または 2 に記載の半導体装置。

**【請求項 4】**

前記金属酸化膜は、酸化アルミニウムであることを特徴とする請求項 3 に記載の半導体装置。

**【請求項 5】**

素子の分離にLOCOS法を用いる半導体装置の製造方法において；  
素子領域のシリコン層上にパッド酸化膜、窒化膜を順次形成する工程と、  
前記窒化膜上及び素子分離領域のシリコン層上に固定電荷を発生する金属酸化膜を形成する工程と、  
酸化処理を施し、前記素子分離領域にフィールド酸化膜を形成する工程と、  
前記窒化膜上の金属酸化膜と前記窒化膜と前記パッド酸化膜とを除去する工程と、  
を含むことを特徴とする半導体装置の製造方法。

**【請求項 6】**

前記シリコン層は絶縁酸化膜上に形成されたSOI構造のシリコン層であることを特徴とする請求項 5 に記載の半導体装置の製造方法。

**【請求項 7】**

前記素子は、NチャネルMOSFETであり、前記固定電荷は、負の固定電荷であることを特徴とする請求項 5 または 6 に記載の半導体装置の製造方法。

**【請求項 8】**

前記金属酸化膜は、酸化アルミニウムであることを特徴とする請求項 7 に記載の半導体装置の製造方法。

**【請求項 9】**

素子の分離にLOCOS法を用いる半導体装置の製造方法において；  
素子領域のシリコン層上にパッド酸化膜、窒化膜を順次形成する工程と、  
酸化処理を施し、素子分離領域にフィールド酸化膜を形成する工程と、  
前記フィールド酸化膜に不純物を注入し、前記フィールド酸化膜に固定電荷を発生させる工程と、  
前記窒化膜と前記パッド酸化膜とを除去する工程と、  
を含むことを特徴とする半導体装置の製造方法。

**【請求項 10】**

前記シリコン層は絶縁酸化膜上に形成されたSOI構造のシリコン層であることを特徴とする請求項 9 に記載の半導体装置の製造方法。

**【請求項 11】**

前記不純物の注入は、斜めイオン注入を行うことを特徴とする請求項 9 または 10 に記載の半導体装置の製造方法。

**【請求項 12】**

前記素子は、NチャネルMOSFETであり、前記固定電荷は、負の固定電荷であること

を特徴とする請求項 9， 1 0 または 1 1 のいずれかに記載の半導体装置の製造方法。

【請求項 1 3】

前記不純物は、フッ素イオンであることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

## 【書類名】明細書

【発明の名称】半導体装置、及び半導体装置の製造方法

## 【技術分野】

## 【0001】

本発明は、半導体装置に関し、特に、半導体基板としてSOI (Silicon On Insulator) 基板を使用し、SOI 基板の素子分離技術としてLOCOS (Local Oxidation Of Silicon) 法を用いた場合に、素子分離部分に形成される寄生トランジスタによる素子間のリーク電流を低減した半導体装置、及び半導体装置の製造方法に関するものである。

## 【背景技術】

## 【0002】

近年、半導体素子を形成する基板として、閾値特性改善、寄生容量の低減等の目的で、BOX酸化膜と呼ばれる絶縁性の層の上にシリコン層が形成されたSOI 基板が多用されている。

## 【0003】

このシリコン層 (SOI 層) は素子分離のためにトレンチ構造、もしくはLOCOS 法によって分離される。SOI 基板上のMOSFET 素子は、SOI 基板に通常のSi 基板上のMOSFET と同様のプロセスを用いて製造される。以下にLOCOS 法を用いたSOI 基板上のMOSFET 素子の製造プロセスを説明する。

## 【0004】

LOCOS 法による素子分離は、非特許文献1 に示されているように、まず、SOI 基板にパッド酸化膜となる酸化膜を形成し、さらに窒化膜を堆積したのち、光学マスクとしてレジストを用いるような通常のフォトリソグラフィ法によりパターンニングを行い、素子分離領域のパッド酸化膜及び窒化膜を除去する。

## 【0005】

次に熱処理を施し素子分離領域にフィールド酸化膜 (LOCOS 酸化膜) を形成する。SOI 層の厚さには限界があるため、フィールド酸化膜はバルク構造のMOSFET と異なり、SOI 層に比べて大幅に厚くなることはない。LOCOS 酸化膜形成後、窒化膜およびパッド酸化膜を除去する。その後は通常のMOSFET と同様にゲート酸化膜、電極形成、ソース、ドレイン形成工程を行う。

## 【0006】

以上の製造工程は一例にすぎず、例えば通常基板のMOSFET を作成するときのようなLDD (Lightly Doped Drain) 構造を形成するなどいくつかのバリエーションが存在するが、本発明の本質には関係がないためここでは省略する。

## 【0007】

このLOCOS 法ではBOX酸化膜とLOCOS 酸化膜との間に断面が三角形状の薄いシリコン層であるエッジ領域が形成され、この層が寄生MOSFET となる。この寄生MOSFET は、本素子のMOSFET に悪影響を与え、リーク電流を増加させ、本素子の電流特性にこぶ (ハンプ) ができたように見えるハンプ特性となる不具合を発生する。そのため寄生MOSFET がある場合の閾値電圧は、本来のMOSFET よりも低くなってしまう。

## 【0008】

一方、シリコン層をエッチングして溝を作り、その溝に酸化膜を埋め込むトレンチ構造は、例えばIEEE ELECTRON DEVICE LETTERS, VOL. 6, JUNE 1995 などに開示されている。また、LOCOS 法で問題となるハンプ特性についての不具合は、トレンチ構造により分離すれば解決できるという提案が、文献S. -W Kang IEEE EDL-16, no. 6 1995 でなされている。

## 【0009】

しかし、このトレンチ構造による分離は、素子分離領域に溝を形成したり、溝以外に被着した酸化膜を除去したりする工程が必要となり、LOCOS 法に比べて工程数が多くな

るため、製造コストも高くなってしまう。そのため、低コストが要求される素子に適用することはできなかった。

#### 【0010】

そこで、LOCOS法を用いながら、ハンプ特性を改善する方法が特許文献1や特許文献2に開示されている。特許文献1では、寄生MOSFETが形成されるLOCOSエッジ形状を改善する方法が、また特許文献2では、エッジ領域に不純物を注入してエッジ濃度を高くすることにより、寄生MOSFETがオンするのを防ぐ方法が示されている。

#### 【0011】

また、特許文献4ではLOCOS分離領域に溝を形成して不純物注入することにより、リーク電流を抑制する方法が、また特許文献3及び5についてトレンチ構造の素子分離方法における、リーク電流を低減する方法が示されている。

#### 【0012】

【特許文献1】特開2000-306994号公報

【特許文献2】特開2003-124303号公報

【特許文献3】特開平1-138730号公報

【特許文献4】特開平7-115125号公報

【特許文献5】特開2001-148418号公報

【特許文献6】特開2001-102571号公報

【非特許文献1】J. W. Thomas et. al., Proceedings IEEE Intr. SOI Conf., 116 (1995)

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0013】

しかしながら、LOCOS法を用いた素子分離において、上記のような方法を適用しても、ハンプ特性が完全には抑えられず、また、エッジ領域に不純物を注入してエッジ濃度を高くする方法ではエッジ領域の不純物が本素子部に拡散し、本素子特性に悪影響を及ぼすことがあった。

#### 【0014】

本発明は、従来の半導体装置、及び半導体装置の製造方法に関する上記問題点に鑑みてなされたものであり、本発明の目的は、素子分離を行った半導体基板において、寄生トランジスタによるリーク電流の影響をできるだけ小さくし、素子のハンプ特性を抑えることのできる、新規かつ改良された半導体装置、及び半導体装置の製造方法を提供することである。

#### 【課題を解決するための手段】

#### 【0015】

上記課題を解決するために、本発明のある観点によれば、LOCOS法を用いた素子分離領域に、断面形状に傾斜部を有するシリコン層と、傾斜部を有するシリコン層上に形成された固定電荷を発生する金属酸化膜と、金属酸化膜上に形成されたフィールド酸化膜と、を備えることを特徴とする半導体装置が提供される。

#### 【0016】

こうして、固定電荷を発生する金属酸化膜を素子分離領域のシリコン層上に形成することにより、シリコン層とフィールド酸化膜との間に形成される寄生トランジスタの閾値電圧を高くすることができるため、リーク電流の影響を低減して素子のハンプ特性を抑えることができる。

#### 【0017】

また、上記半導体装置を得るために、素子領域のシリコン層上にパッド酸化膜、窒化膜を順次形成する工程と、窒化膜上及び素子分離領域のシリコン層上に固定電荷を発生する金属酸化膜を形成する工程と、酸化処理を施し、素子分離領域にフィールド酸化膜を形成する工程と、窒化膜上の金属酸化膜と窒化膜とパッド酸化膜とを除去する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

**【0018】**

ここで半導体素子の構造は、バルク構造であってもよいが、シリコン層が絶縁酸化膜上に形成されたSOI構造であると、素子分離領域との境界部のシリコン層のエッジ領域上に形成された金属酸化膜に固定電荷を置くことができ、エッジ領域に形成される寄生トランジスタの閾値電圧を高くできるので、ハンプ特性を効果的に低減することができる。

**【0019】**

また、素子がNチャネルMOSFETである場合は、負の固定電荷を金属酸化膜に発生することにより寄生トランジスタの閾値電圧を高くすることができ、負の固定電荷を発生する金属酸化膜としては、酸化アルミニウムを用いることが好ましい。素子がPチャネルMOSFETである場合は、正の固定電荷を金属酸化膜に発生することにより寄生トランジスタの閾値電圧を高くすることができる。

**【0020】**

また、本発明の別の観点によれば、寄生トランジスタの閾値電圧を高くするために、素子領域のシリコン層上にパッド酸化膜、窒化膜を順次形成する工程と、酸化処理を施し、素子分離領域にフィールド酸化膜を形成する工程の後に、フィールド酸化膜に不純物を注入し、フィールド酸化膜に固定電荷を発生させる工程を追加し、その後窒化膜とパッド酸化膜とを除去する工程と、を含む半導体装置の製造方法を提供することができる。

**【0021】**

このとき不純物の注入は斜めイオン注入を行うことにより、SOI構造の素子分離領域境界部のエッジ領域部のシリコン層の傾斜部上に形成されたフィールド酸化膜に効果的に負の固定電荷を発生することができる。素子がNチャネルMOSFETであるときには、フィールド酸化膜に負の固定電荷を発生することが好ましく、注入不純物としてフッ素イオンを用いることができる。

**【発明の効果】****【0022】**

以上詳述したように本発明によれば、素子分離領域のシリコン層とフィールド酸化膜との間に固定電荷を発生する金属酸化膜を形成することにより、またはシリコン層上のフィールド酸化膜に固定電荷を発生することにより、シリコン層とフィールド酸化膜との間に形成される寄生トランジスタの閾値電圧を高くし、リーク電流の影響を低減して素子のハンプ特性を抑えることができる。

**【発明を実施するための最良の形態】****【0023】**

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

**【0024】****(第1の実施の形態)**

図1は、本実施の形態のSOI構造を有する半導体装置の素子部と素子分離領域との境界部分のチャンネル方向の断面である。図1を参照して説明すると、半導体装置は、LOCOS法を用いて、各素子間をフィールド酸化膜160によって電氣的に分離している。素子領域Sにおいては、従来と同様に、BOX酸化膜層120上に、例えばP型のシリコン層130が形成された基板110上に、ゲート酸化膜170が形成され、ゲート酸化膜170上にゲート電極175が形成されてNチャネルMOSFETを形成する。

**【0025】**

素子分離領域Aにおいては、断面形状に傾斜部を有するシリコン層130上とBOX酸化膜層120上とに、金属酸化膜180、例えば酸化アルミニウム( $Al_2O_3$ )が形成され、その上にフィールド酸化膜160が形成された構造となっている。

**【0026】**

素子分離領域Aの特にBOX酸化膜層120とフィールド酸化膜160で囲まれたシリコン層130の三角形のエッジ領域135は、寄生MOSFET(NチャネルMOSF

ET) となり、ハンプ特性の原因となり、本素子の特性に悪影響を与える。本実施の形態の素子分離領域Aの構造では、金属酸化膜180 (例えば $\text{Al}_2\text{O}_3$ ) を形成したことにより、シリコン層130のSi界面で、 $\text{Al}_2\text{O}_3$ との反応が起こり、Siとの界面に欠陥が生じる。

#### 【0027】

$\text{Al}_2\text{O}_3$ の欠陥中には負の固定電荷が含まれるため、エッジ領域のフラットバンド電圧が上昇し、寄生NチャネルMOSFET閾値を上げることができる。これにより、寄生NチャネルMOSFETがオンしにくくなり、ハンプ特性を低減し、本素子への影響を抑えることができる。本実施の形態の場合 $\text{Al}_2\text{O}_3$ を用いたが、負の固定電荷が含まれる金属酸化膜であればよく、例えばハフニウムオキシサイドでもよい。

#### 【0028】

また、SOI層がN型で、本素子がPチャネルMOSFETの場合、エッジ領域には勿論寄生PチャネルMOSFETが形成される。この場合は $\text{Al}_2\text{O}_3$ を形成することは逆効果であり、正の固定電荷が含まれる酸化膜を形成することが好ましい。本実施の形態においては、特にハンプ特性の問題が大きいNチャネルMOSFETの場合について説明することとする。

#### 【0029】

次に本実施の形態の半導体装置の製造方法について説明する。図2は第1の実施の形態を利用した場合の素子部と素子分離領域との境界部分のチャンネル方向の工程断面図である。まず、基板110上に約1500ÅのBOX酸化膜層120、約500Åのシリコン層130を順次形成し、シリコン層130上にパッド酸化膜140を約70Å程度形成し、さらに窒化膜150を約1000Å堆積する(図2(a))。ここで、パッド酸化膜140はシリコン層130上と窒化膜150の密着性を向上させる効果がある。

#### 【0030】

その後、フォトリソグラフィ法によりパターニングを行い、素子分離領域のパッド酸化膜140及び窒化膜150を除去して、シリコン層130を露出する(図2(b))。次に、スパッタ装置またはCVD法により、窒化膜150上とシリコン層130上に金属酸化膜として、例えば酸化アルミニウム( $\text{Al}_2\text{O}_3$ )185を約20Å形成する(図2(c))。

#### 【0031】

$\text{Al}_2\text{O}_3$ 185が形成された状態のまま熱処理を施し、素子分離領域にフィールド酸化膜160が厚さ方向に約1000Å形成される(図2(d))。この時の熱処理は、例えば約1000℃、60分のドライ酸化である。このフィールド酸化膜160が形成されることにより、隣接する素子間が電氣的に分離されるが、素子領域寄りの部分には、窒化膜150が持ち上げられ、バズビークと言われるシリコン層130のエッジ領域135、が約500Åの長さで形成される。

#### 【0032】

このエッジ領域135は、先にも述べたように寄生MOSFETとなる部分である。しかし本実施の形態の寄生MOSFETでは、シリコン層130上に金属酸化膜である $\text{Al}_2\text{O}_3$ 185が形成されており、 $\text{Al}_2\text{O}_3$ 185中のシリコン層130との界面には負の固定電荷が発生するために、フラットバンド電圧が上昇し、寄生NチャネルMOSFETの閾値が上昇する。

#### 【0033】

その後は、従来と同様に図2(e)に示すように窒化膜150及びパッド酸化膜140を除去してから、図2(f)に示すようにゲート酸化膜170を約30Å形成し、例えばポリシリコンのゲート電極175やソース及びドレイン領域(図示せず)が形成され、素子領域が完成する。ここで、上記の酸化膜や窒化膜等の形成は、例えばCVD法を用いて形成する。またフィールド酸化膜を形成する前に素子分離領域のシリコン層上に金属酸化膜を形成することに、本実施の形態の特徴があり、それ以外の製造プロセスについては他にも様々な方法を適用することができる。

**【0034】**

図4に本実施の形態を用いた場合の  $I_d - V_g$  特性を示す。素子分離領域のエッジ領域に生じる寄生MOSFETの閾値を上げることができ、従来に比べてハンプが抑制され、MOSFETのリーク特性を改善する効果が得られたことがわかる。

**【0035】**

(第2の実施の形態)

第2の実施の形態の半導体装置の製造方法について説明する。図3はSOI構造を有する半導体装置の素子部と素子分離領域との境界部分のチャネル方向の工程断面図である。フィールド酸化膜を形成する工程までは、従来技術と同様であり、約1500ÅのBOX酸化膜層220、約500ÅのP型のシリコン層230が形成された基板210上に、約70Åのパッド酸化膜240、約1000Åの窒化膜250が順次形成され、フォトリソグラフィ法によりパターニングを行い、素子分離領域のパッド酸化膜240及び窒化膜250を除去する(図3(a))。素子はNチャネルMOSFETとする。

**【0036】**

次に熱処理を施し、素子分離領域にフィールド酸化膜260が厚さ方向に約1000Å形成される(図3(b))。この時の熱処理は、例えば約1000℃、60分のドライ酸化である。このフィールド酸化膜260が形成されることにより、隣接する素子間が電氣的に分離され、素子領域寄りの部分には、寄生MOSFETとなるエッジ領域235が形成される。

**【0037】**

次に、イオン注入法にて、図3(c)に示すようにフィールド酸化膜260に負の固定電荷を発生させるために、フィールド酸化膜260形成後の基板全面に、不純物注入、例えばフッ素イオン( $F^-$ )280の注入を行う。この時、エッジ領域235の傾斜したシリコン層230上のフィールド酸化膜260に効果的にフッ素イオン280を注入するために、注入角度を約30°~45°とすることが好ましい。また、注入エネルギーは、約10~15keVとするのが好適である。

**【0038】**

その後は、従来と同様に図3(d)に示すように窒化膜250及びパッド酸化膜240を除去してから、図3(e)に示すようゲート酸化膜270を約30Å形成し、例えばポリシリコンのゲート電極275やソース、ドレイン領域(図示せず)が形成され、素子領域が完成する。また本実施の形態は、フィールド酸化膜を形成後にフッ素イオンをエッジ領域にイオン注入する工程に特徴があり、それ以外の製造プロセスについては他にも様々な方法を適用することができる。

**【0039】**

こうしてエッジ領域235のシリコン層との界面のフィールド酸化膜260にフッ素イオン280のイオン注入を行うことにより、第1の実施の形態と同様に、フィールド酸化膜260中のシリコン層230との界面には負の固定電荷が発生するために、フラットバンド電圧が上昇し、寄生NチャネルMOSFETの閾値が上昇する。

**【0040】**

以上のように第2の実施の形態によれば、フッ素イオン注入により生成した、酸化膜中の負の固定電荷がエッジ領域の寄生MOSFETの閾値を上昇したことにより、寄生MOSFETがオンしにくくなり、ハンプ特性を抑制し、本素子への影響を抑えることができる。

**【0041】**

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

**【0042】**

本実施の形態においては、SOI構造の素子の分離領域に固定電荷を発生する方法につ

いて記載したが、本発明はLOCOS法を用いたバルク構造の素子にも適用することができ、素子分離領域に形成される寄生トランジスタの閾値を高くし、素子間のリークを防ぐことができる。

【0043】

また、本実施の形態においては、NチャネルMOSFETを用いた素子の分離領域のシリコン層上に負の固定電荷を発生する方法について記載したが、PチャネルMOSFETを用いた素子においては、正の固定電荷を発生することによって同様の効果を得ることができる。

【産業上の利用可能性】

【0044】

本発明は、素子分離技術としてLOCOS法を用いた半導体装置、特に半導体基板としてSOI基板を使用した半導体装置に適用可能である。

【図面の簡単な説明】

【0045】

【図1】第1の実施形態による半導体装置を示す断面図である。

【図2(a)】第1の実施形態による半導体装置の製造方法を概略的に示し、SOI層上にパッド酸化膜及び窒化膜を形成後の工程断面図である。

【図2(b)】第1の実施形態による半導体装置の製造方法を概略的に示し、素子分離領域のパッド酸化膜及び窒化膜を除去後の工程断面図である。

【図2(c)】第1の実施形態による半導体装置の製造方法を概略的に示し、金属酸化膜を形成した後の工程断面図である。

【図2(d)】第1の実施形態による半導体装置の製造方法を概略的に示し、フィールド酸化膜形成後の工程断面図である。

【図2(e)】第1の実施形態による半導体装置の製造方法を概略的に示し、パッド酸化膜及び窒化膜を除去後の工程断面図である。

【図2(f)】第1の実施形態による半導体装置の製造方法を概略的に示し、ゲート酸化膜及びゲート電極を形成した後の工程断面図である。

【図3(a)】第2の実施形態による半導体装置の製造方法を概略的に示し、素子領域にパッド酸化膜及び窒化膜を形成後の工程断面図である。

【図3(b)】第2の実施形態による半導体装置の製造方法を概略的に示し、フィールド酸化膜形成後の工程断面図である。

【図3(c)】第2の実施形態による半導体装置の製造方法を概略的に示し、フッ素イオンのイオン注入を行った後の工程断面図である。

【図3(d)】第2の実施形態による半導体装置の製造方法を概略的に示し、パッド酸化膜及び窒化膜を除去後の工程断面図である。

【図3(e)】第2の実施形態による半導体装置の製造方法を概略的に示し、ゲート酸化膜及びゲート電極を形成した後の工程断面図である。

【図4】第1の実施の形態におけるゲート電圧に対するドレイン電流を従来と比較して示した説明図である。

【符号の説明】

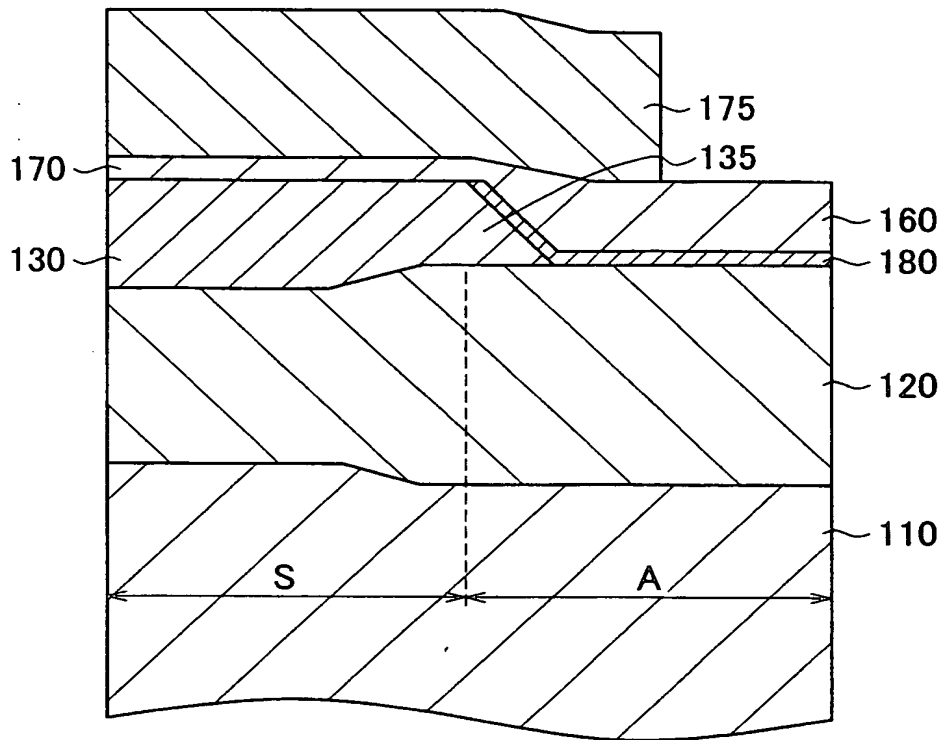
【0046】

|     |          |
|-----|----------|
| 110 | 基板       |
| 120 | BOX酸化膜   |
| 130 | シリコン層    |
| 135 | エッジ領域    |
| 140 | パッド酸化膜   |
| 150 | 窒化膜      |
| 160 | フィールド酸化膜 |
| 170 | ゲート酸化膜   |
| 175 | ゲート電極    |

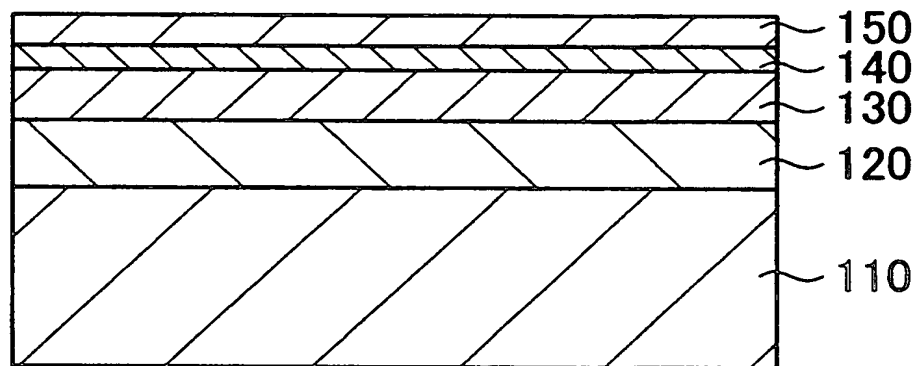
|       |          |
|-------|----------|
| 1 8 0 | 金属酸化膜    |
| 1 8 5 | 酸化アルミニウム |
| S     | 素子領域     |
| A     | 素子分離領域   |

【書類名】 図面

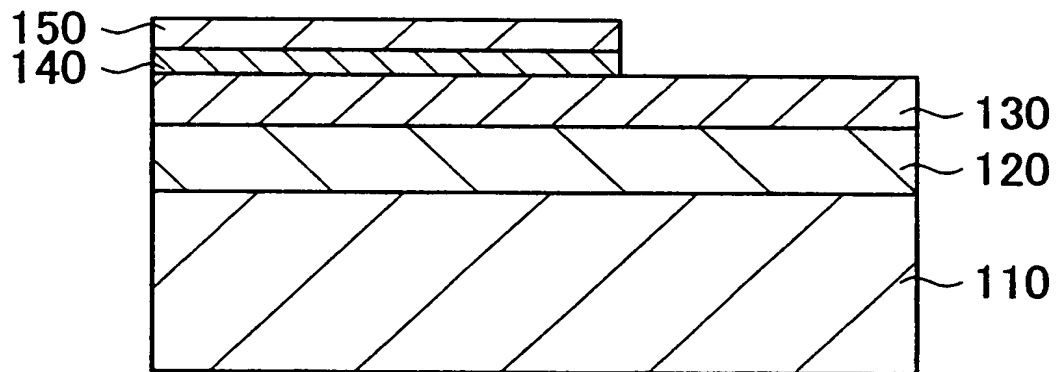
【図 1】



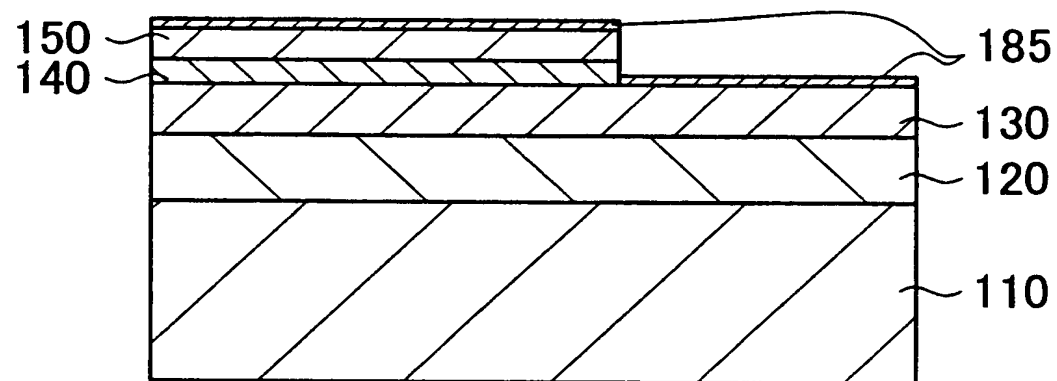
【図 2 (a)】



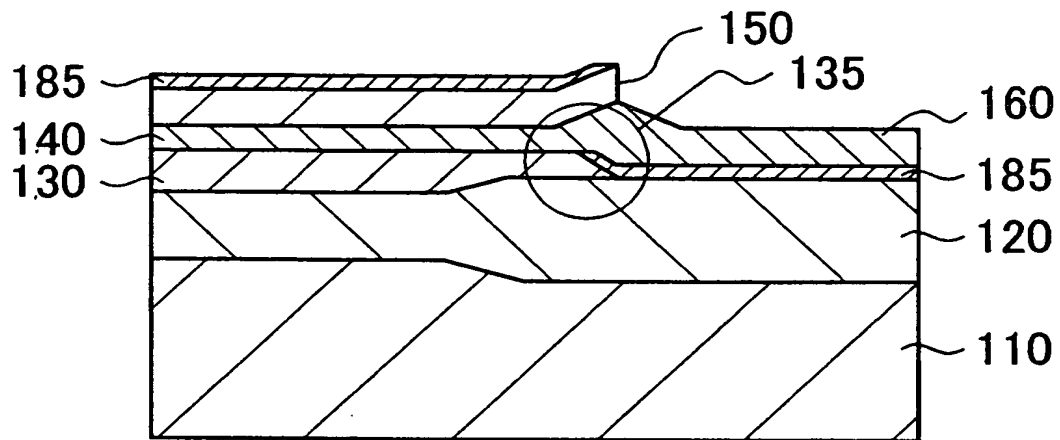
【図 2 (b)】



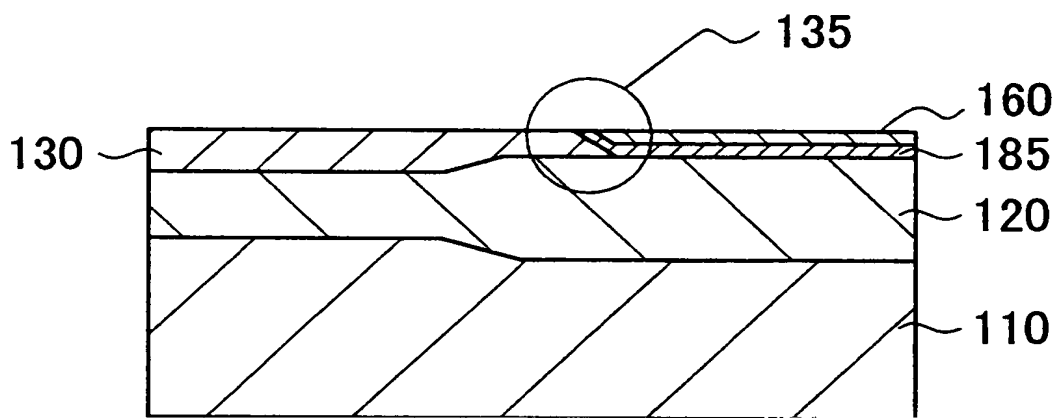
【図 2 (c)】



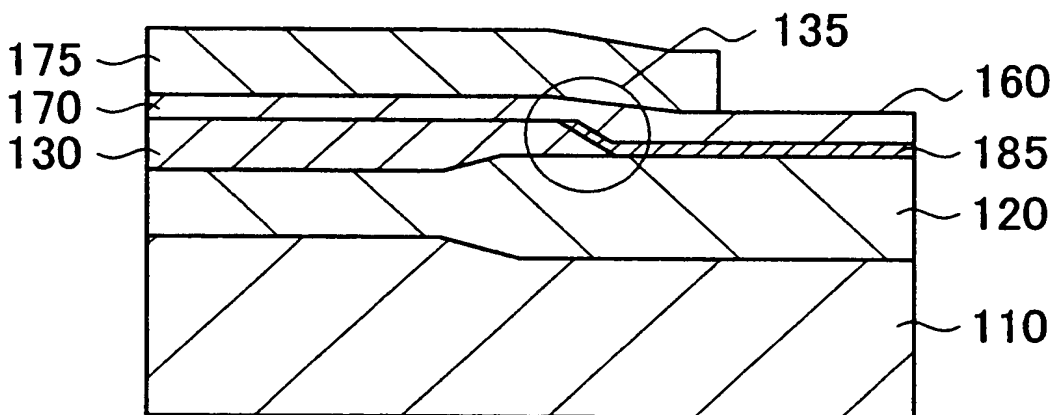
【図 2 (d)】



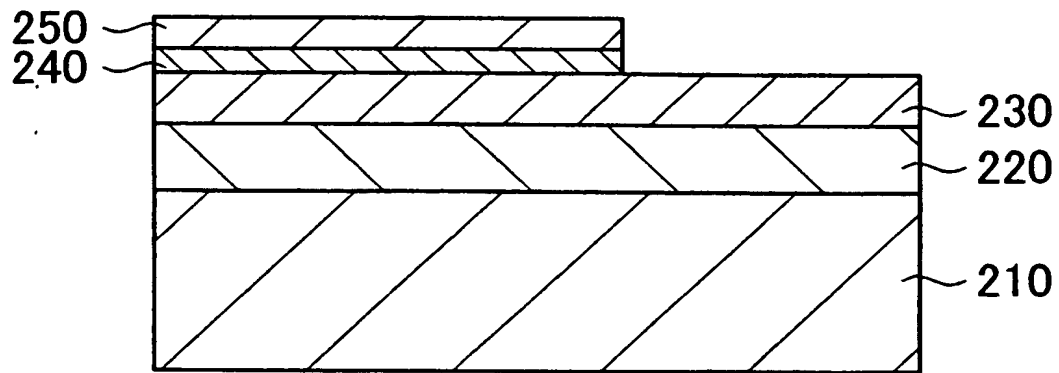
【図 2 (e)】



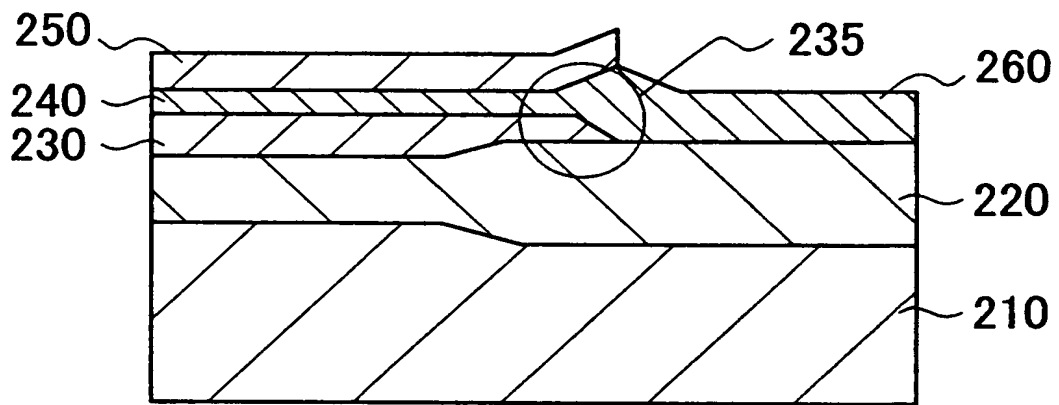
【図 2 (f)】



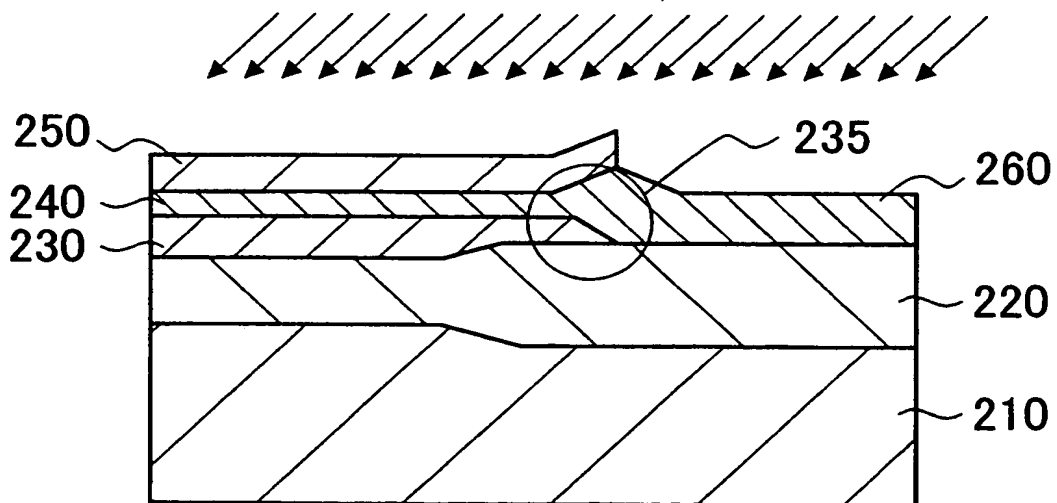
【図 3 (a)】



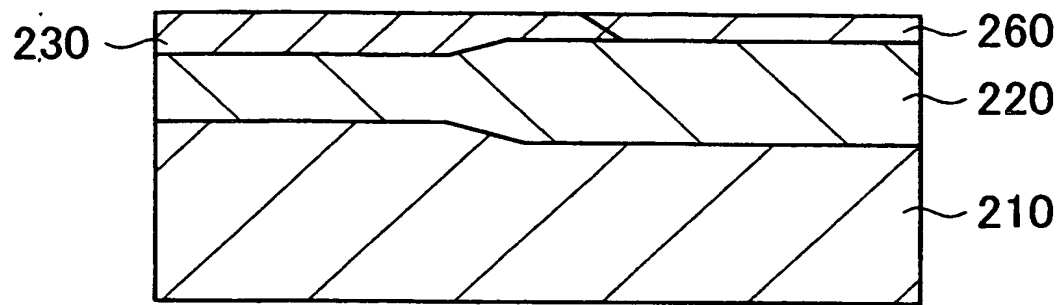
【図 3 (b)】



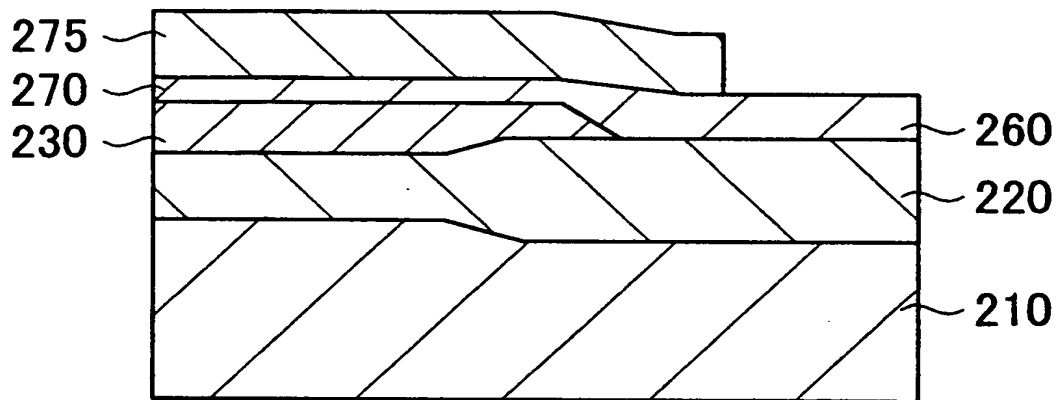
【図 3 (c)】



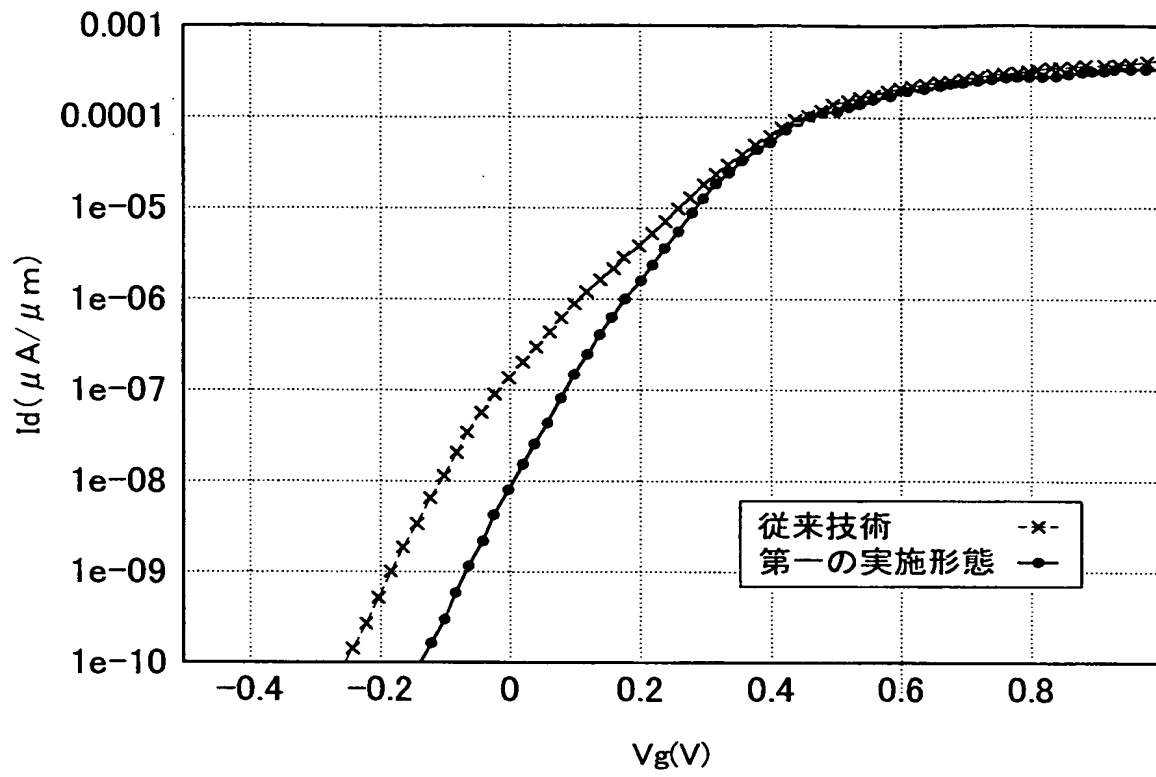
【図 3 (d)】



【図 3 (e)】



【図 4】



## 【書類名】 要約書

## 【要約】

【課題】 素子分離を行った半導体装置において、寄生トランジスタによるリーク電流の影響をできるだけ小さくし、素子のハンプ特性を抑える。

【解決手段】 素子領域Sのシリコン層130上にパッド酸化膜140、窒化膜150を順次形成する工程と、窒化膜150上及び素子分離領域Aのシリコン層130上に固定電荷を発生する金属酸化膜180を形成する工程と、酸化処理を施し、素子分離領域Aにフィールド酸化膜160を形成する工程と、窒化膜150上の金属酸化膜180と窒化膜150とパッド酸化膜140とを除去する工程と、を含むことを特徴とする半導体装置の製造方法により、素子分離領域Aに形成される寄生トランジスタの閾値電圧を高くしてオンするのを防ぎ、ハンプ特性を抑えることができる。

【選択図】 図1

特願 2 0 0 3 - 3 2 8 0 9 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日  
[変更理由]

1 9 9 0 年 8 月 2 2 日  
新規登録

住 所  
氏 名

東京都港区虎ノ門 1 丁目 7 番 1 2 号  
沖電気工業株式会社